

J1036 U.S. PRO
09/847289
05/03/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of

Kyoung-sub SHIN et al.

Serial No.: [NEW]

Attn: Applications Branch

Filed: May 3, 2001

Attorney Docket No.: SEC.798

For: METHOD OF FORMING A SELF-ALIGNED CONTACT, AND METHOD OF FABRICATING A SEMICONDUCTOR DEVICE HAVING A SELF-ALIGNED CONTACT

CLAIM OF PRIORITY

Honorable Assistant Commissioner for Patents and Trademarks,
Washington, D.C. 20231

Sir:

Applicants, in the above-identified application, hereby claim the priority date under the International Convention of the following Korean application:

Appln. No. 2000-55483

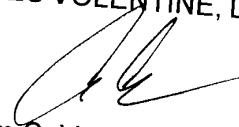
filed September 21, 2000

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

JONES VOLENTINE, LLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: May 3, 2001

J1036 U.S. PRO
09/847289
05/03/01

대한민국특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 55483 호
Application Number

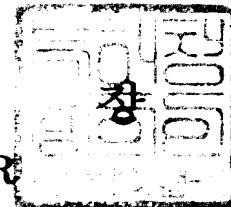
출원년월일 : 2000년 09월 21일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

2000 년 11 월 23 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2000.09.21
【국제특허분류】	H01L
【발명의 명칭】	자기 정렬된 컨택 형성 방법 및 이를 이용한 반도체 소자의 제조 방법
【발명의 영문명칭】	Method for forming self aligned contact and method for semiconductor device using it
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	신경섭
【성명의 영문표기】	SHIN,Kyoung Sub
【주민등록번호】	680915-1182415
【우편번호】	463-030
【주소】	경기도 성남시 분당구 분당동 샛별마을 동성아파트 206동 203호
【국적】	KR

【발명자】

【성명의 국문표기】 김지수
 【성명의 영문표기】 KIM,Ji Soo
 【주민등록번호】 640429-1480627
 【우편번호】 449-840
 【주소】 경기도 용인시 수지읍 풍덕천리 692 보원아파트 105동
1207호
 【국적】 KR

【발명자】

【성명의 국문표기】 민경진
 【성명의 영문표기】 MIN,Gyung Jin
 【주민등록번호】 640515-1357340
 【우편번호】 133-093
 【주소】 서울특별시 성동구 금호동3가 1331번지 두산아파트 115동
709호
 【국적】 KR

【발명자】

【성명의 국문표기】 안태혁
 【성명의 영문표기】 AHN,Tae Hyuk
 【주민등록번호】 621017-1674523
 【우편번호】 449-900
 【주소】 경기도 용인시 기흥읍 신갈리 14 삼익아파트 102동 802호
 【국적】 KR

【심사청구】

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인) 대리인
이래호 (인)

【수수료】

【기본출원료】	20	면	29,000 원
【가산출원료】	20	면	20,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	18	항	685,000 원
【합계】	734,000 원		

1020000055483

2000/11/2

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 자기 정렬된 컨택 형성 방법과 이를 이용한 반도체 소자의 제조 방법을 제공한다. 본 발명의 자기 정렬된 컨택 형성 방법에 따르면, 반도체 기판 위에 스트라이프 형태의 게이트 스택 및 게이트 스페이서를 형성하고, 이 게이트 스택과 교차되고 제1 층간 절연막에 의해 절연되는 스트라이프 형태의 비트 라인 스택 및 비트 라인 스페이서를 형성한다. 그리고 비트 라인 스페이서 사이에 제2 층간 절연막을 형성하고, 그 위에 포토레지스트막 패턴을 형성한다. 이 포토레지스트막 패턴은 게이트 스페이서 사이의 도전막 패드와 연결되는 도전성 플러그용 컨택 홀을 형성하기 위한 것으로서, 게이트 스택과 나란한 스트라이프 형태로 형성하되, 도전막 패드 위의 제2 층간 절연막과 도전막 패드 위의 제2 층간 절연막 사이의 비트 라인 스택을 노출시키도록 형성함으로써 무한한 정렬 마진을 확보하고 후속 식각 공정에서의 노출 면적을 증대시킬 수 있다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

자기 정렬된 컨택 형성 방법 및 이를 이용한 반도체 소자의 제조 방법{Method for forming self aligned contact and method for semiconductor device using it}

【도면의 간단한 설명】

도 1은 종래의 자기 정렬된 컨택 형성 방법에 따른 식각 공정을 수행하기 위하여 식각 마스크로서의 포토레지스트막 패턴을 형성한 것을 나타내는 레이아웃도이다.

도 2 내지 도 5는 종래의 자기 정렬된 컨택 형성 방법을 설명하기 위하여 도 1의 선 I - I'을 따라서 도시한 단면도들이다.

도 6은 본 발명에 따른 자기 정렬된 컨택 형성 방법에 따라 형성된 BC 패드 및 DC 패드를 나타내 보인 레이아웃도이다.

도 7은 본 발명에 따른 자기 정렬된 컨택 형성 방법에 따른 식각 공정을 수행하기 위하여 식각 마스크로서의 포토레지스트막 패턴을 형성한 것을 나타내는 레이아웃도이다

도 8a 내지 도 11a는 본 발명의 바람직한 실시예에 따른 자기 정렬된 컨택 형성 방법을 설명하기 위하여 도 6 및 도 7의 선 II-II'을 따라 도시한 단면도들이다.

도 8b 내지 도 11b는 본 발명의 바람직한 실시예에 따른 +자기 정렬된 컨택 형성 방법을 설명하기 위하여 도 6 및 도 7의 선 III-III'를 따라서 도시한 단면도들이다.

도 12a 내지 도 14a는 본 발명의 바람직한 실시예에 따른 자기 정렬된 컨택 형성 방법을 이용한 반도체 소자의 제조 방법을 설명하기 위하여 도 7의 선 II-II'을 따라 도

시한 단면도들이다.

도 12b 내지 도 14b는 본 발명의 바람직한 실시예에 따른 자기 정렬된 컨택 형성 방법을 이용한 반도체 소자의 제조 방법을 설명하기 위하여 도 7의 선 III-III'를 따라서 도시한 단면도들이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는 자기 정렬된 컨택 형성 방법 및 이를 이용한 반도체 소자의 제조 방법에 관한 것이다.

<10> 최근, 반도체 소자가 미세화되어 라인 폭과 라인들 사이의 간격이 점점 감소되고 있으며, 이에 따라 리소그라피 공정에서의 해상도(resolution)도 또한 현저하게 증가하고 있다. 그러나 얼라인 기술(alignment technique)의 향상은 해상도의 증가 추세를 따라가지 못하고 있으며, 따라서 반도체 소자를 제조하는데 있어서, 미스얼라인 발생을 최소화하는 것이 중요한 관건으로 대두되고 있다.

<11> 특히 DRAM(Dynamic Random Access Memory)과 같이 커패시터를 포함하는 반도체 메모리 소자의 경우, 커패시터의 유효 면적을 증가시키기 위하여 비트 라인을

형성한 후에 커패시터를 형성하는데, 이 경우에 비트 라인 형성 이후에 트랜지스터의 소스/드레인 영역과 커패시터의 하부 전극(storage electrode)을 전기적으로 연결하기 위한 BC(Buried Contact) 패드를 형성할 필요가 있다. 이 BC 패드를 형성하기 위해서는 좁고 깊은 컨택 홀을 형성하여야 한다. 그런데 이와 같이 높은 어스펙트 비(aspect ratio)를 갖는 컨택 홀을 형성하기 위하여 수행되는 리소그라피 공정을 수행하는데 있어서 충분한 얼라인 마진을 확보하기가 용이하지 않으며, 특히 $0.20\mu m$ 이하의 디자인 룰에서는 얼라인 마진을 거의 확보하지 못하고 있는 실정이다.

<12> 따라서 최근에는 하부 도전막을 절연막으로 덮은 뒤에 이 하부 도전막 및 절연막을 정렬 마스크로 식각 공정을 수행하여 컨택 홀을 형성하는 자기 정렬된 컨택 홀 형성 방법이 주로 사용된다. 이를 도면을 참조하여 설명하면 다음과 같다.

<13> 도 1은 종래의 자기 정렬된 컨택 형성 방법에 따른 식각 공정을 수행하기 위하여 식각 마스크로서의 포토레지스트막 패턴을 형성한 것을 나타내는 레이아웃도이다. 그리고 도 2 내지 도 5는 종래의 자기 정렬된 컨택 형성 방법을 설명하기 위하여 도 1의 선 I - I'을 따라서 도시한 단면도들이다.

<14> 도 1에서, 참조 부호 '100'은 활성 영역과 비활성 영역을 정의하기 위한 액티브 마스크 원도우를 나타내고, 참조 부호 '110'은 게이트 스택 패턴을 형성하기 위한 게이트 마스크 원도우를 나타내고, 그리고 참조 부호 '120'은 비트 라인 패턴을 형성하기 위한 비트 라인 마스크 원도우를 나타낸다. 또한 참조 부호 '130'은 자기 정렬된 컨택 홀 형성을 위한 식각 마스크로서의 포토레지스트막 패턴을 나타낸다.

<15> 먼저 도 2를 참조하면, 액티브 마스크 원도우(도 1의 100)를 이용하여 반도체 기판(200)에 활성 영역(205)을 한정하는 아이솔레이션 영역(210)을 트렌치 형태로 형성

한다. 상기 활성 영역(205) 위에는 도전막 패드(220)를 형성하고, 이 도전막 패드(220)가 완전히 덮여지도록 제1 층간 절연막(230)을 형성한다. 다음에 비트 라인 마스크 원도우(도 1의 120)를 이용하여 상기 제1 층간 절연막(230) 위에 비트 라인 스택(240)을 형성한다. 상기 비트 라인 스택(240)은 장벽 금속막(241), 비트 라인 도전막(242) 및 비트 라인 캡층(243)을 순차적으로 적층함으로써 형성할 수 있다. 이어서 비트 라인 스택(240)의 측벽에 비트 라인 스페이서(250)를 형성한다.

<16> 다음에 도 3을 참조하면, 상기 비트 라인 스택(240) 및 비트 라인 스페이서(250)가 완전히 덮여지도록 제2 층간 절연막(260)을 형성한다. 이어서 평탄화 공정을 수행하여 비트 라인 스택(250) 위에서 일정 두께의 제2 층간 절연막(260)이 남도록 제2 층간 절연막(260)을 평탄화한다.

<17> 다음에 도 4를 참조하면, 상기 제2 층간 절연막(260) 위에 포토레지스트막 패턴(130)을 형성한다. 이 포토레지스트막 패턴(130)은, 도 1에 잘 나타난 바와 같이, 비트 라인 스택(240) 사이의 제2 층간 절연막(260)만을 노출시키고 나머지 부분에서의 제2 층간 절연막(260)을 덮도록 형성된다. 상기 포토레지스트막 패턴(130)을 형성한 후에는, 이 포토레지스트막 패턴(130)을 식각 마스크로 제2 층간 절연막(260) 및 제1 층간 절연막(230)에 대한 식각 공정을 수행한다. 그러면 도 5에 도시된 바와 같이, 도전막 패드(220)의 상부 표면을 노출시키는 컨택 홀(270)이 형성되며, 이 컨택 홀(270) 내에 도전막을 채움으로써 도전성 플러그(미도시)를 형성할 수 있다.

<18> 그런데 소자의 집적도가 증가함에 따라, 상기 컨택 홀(270)을 형성시키기 위한 식각 공정을 수행할 때 폴리머의 축적에 의해 식각이 정지되는 현상이 발생된다. 이와 같은 식각 정지 현상을 방지하기 위해서는 식각 공정중에 발생되는 폴리머량을 감소시키면

되지만, 이 경우에는 실리콘 절화막으로 형성되는 비트 라인 스페이서(250)에 대한 선택비가 낮아져서, 다소의 미스얼라인이 발생되더라도 비트 라인 스페이서(250)가 함께 식각된다. 특히 비트 라인 스페이서(250)가 과도하게 식각되면, 도 5의 A 부분과 같이 비트 라인 도전막(242)이 노출되는 경우가 발생될 수 있으며, 그 결과 후속 공정에서 컨택 홀을 채우는 도전성 플러그와 비트 라인 도전막(242)이 직접 접촉되어 커페시터의 하부 전극과 비트 라인이 솟(short)되는 문제가 발생된다.

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명이 이루고자 하는 기술적 과제는 충분한 얼라인 마진을 확보하여 인접된 도전막들 사이에 솟이 발생하지 않도록 하는 자기 정렬된 컨택을 형성하는 방법을 제공하는 것이다.

<20> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 자기 정렬된 컨택 형성 방법을 이용하여 반도체 소자를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<21> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 자기 정렬된 컨택 형성 방법은, 반도체 기판 위에 스트라이프 형태의 게이트 스택을 형성하는 단계; 상기 게이트 스택의 측면에 게이트 스페이서를 형성하는 단계; 상기 게이트 스페이서 사이에 매몰 컨택 패드로서의 도전막 패드를 형성하는 단계; 상기 도전막 패드 및 게이트 스택 위에 제1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막 위에서 상기 게이트 스택과 교차되는 스트라이프 형태의 비트 라인 스택을 형성하는 단계; 상기 비트 라인 스택 측면에 비트 라인 스페이서를 형성하는 단계; 상기 비트 라인 스택 표면이 노출되도록 상

기 제1 층간 절연막 위에 제2 층간 절연막을 형성하는 단계; 상기 제2 층간 절연막 위에서 상기 게이트 스택과 나란한 스트라이프 형태의 포토레지스트막 패턴을 형성하되, 상기 포토레지스트막 패턴은 상기 도전막 패드 위의 제2 층간 절연막과 상기 도전막 패드 위의 제2 층간 절연막 사이의 비트 라인 스택을 노출시키도록 하는 단계; 상기 포토레지스트막 패턴, 상기 비트 라인 스택 및 상기 비트 라인 스페이서를 식각 마스크로 상기 제2 층간 절연막 및 제1 층간 절연막을 식각하여 상기 도전막 패드를 노출시키는 컨택 홀을 형성하는 단계; 및 상기 컨택 홀 내에 도전성 물질을 채워서 상기 도전막 패드와 컨택되는 도전성 플리그를 형성하는 단계를 포함하는 것을 특징으로 한다.

<22> 상기 게이트 스택은, 상기 반도체 기판 위에 게이트 절연막, 게이트 도전막 및 게이트 캡층이 순차적으로 적층된 것이 바람직하며, 상기 비트 라인 스택은, 상기 제1 층간 절연막 위에 장벽 금속막, 비트 라인 도전막 및 비트 라인 캡층이 순차적으로 적층된 것이 바람직하다.

<23> 상기 제2 층간 절연막을 형성하는 단계는, 상기 제1 층간 절연막 및 상기 비트 라인 스택을 덮은 제2 층간 절연막을 형성하는 단계, 및 상기 비트 라인 스택의 상부 표면이 노출되도록 상기 제2 층간 절연막을 완전 평탄화시키는 단계를 포함하는 것이 바람직하다. 이 경우 상기 평탄화는 화학 기계적 폴리싱법을 사용하여 수행할 수 있다.

<24> 상기 도전성 플리그를 형성하는 단계는, 상기 컨택 홀을 채우고 상기 비트 라인 스택을 덮는 도전성 물질을 형성하는 단계, 및 평탄화 공정을 수행하여 상기 비트 라인 스택 표면을 노출시키는 단계를 포함하는 것이 바람직하다. 이 경우 상기 평탄화 공정은 에치 백 또는 화학 기계적 폴리싱법을 사용하여 수행할 수 있다.

<25> 상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자의 제조 방

법은, 반도체 기판 위에 스트라이프 형태의 게이트 스택을 형성하는 단계; 상기 게이트 스택의 측면에 게이트 스페이서를 형성하는 단계; 상기 게이트 스페이서 사이에 매몰 컨택 패드로서의 도전막 패드를 형성하는 단계; 상기 도전막 패드 및 게이트 스택 위에 제1 충간 절연막을 형성하는 단계; 상기 제1 충간 절연막 위에서 상기 게이트 스택과 교차되는 스트라이프 형태의 비트 라인 스택을 형성하는 단계; 상기 비트 라인 스택 측면에 비트 라인 스페이서를 형성하는 단계; 상기 비트 라인 스택 표면이 노출되도록 상기 제1 충간 절연막 위에 제2 충간 절연막을 형성하는 단계; 상기 제2 충간 절연막 위에서 상기 게이트 스택과 나란한 스트라이프 형태의 제1 포토레지스트막 패턴을 형성하되, 상기 제1 포토레지스트막 패턴은 상기 도전막 패드 위의 제2 충간 절연막과 상기 도전막 패드 위의 제2 충간 절연막 사이의 비트 라인 스택을 노출시키도록 하는 단계; 상기 제1 포토레지스트막 패턴, 상기 비트 라인 스택 및 상기 비트 라인 스페이서를 식각 마스크로 상기 제2 충간 절연막 및 제1 충간 절연막을 식각하여 상기 도전막 패드를 노출시키는 제1 컨택 홀을 형성하는 단계; 상기 제1 컨택 홀 내에 도전성 물질을 채워서 상기 도전막 패드와 컨택되는 도전성 플러그를 형성하는 단계; 상기 도전성 플러그 및 비트 라인 스택 및 제2 충간 절연막 위에 제3 충간 절연막, 식각 방지막, 산화막 및 하드 마스크막을 순차적으로 형성하는 단계; 상기 하드 마스크막 위에 제2 포토레지스트막 패턴을 형성하는 단계; 상기 제2 포토레지스트막 패턴을 식각 마스크로 상기 식각 방지막이 노출되도록 상기 하드 마스크막 및 산화막을 식각하는 단계; 상기 제2 포토레지스트막 패턴을 제거하는 단계; 및 상기 하드 마스크막을 식각 마스크로 식각 방지막 및 제3 충간 절연막의 노출 부분을 순차적으로 제거하여 상기 도전성 플러그를 노출시키는 커패시터 하부 전극용 제2 컨택 홀을 형성하는 단계를 포함하는 것을 특징으로 한다.

<26> 상기 게이트 스택은, 상기 반도체 기판 위에 게이트 절연막, 게이트 도전막 및 게이트 캡층이 순차적으로 적층된 것이 바람직하며, 상기 비트 라인 스택은, 상기 제1 층간 절연막 위에 장벽 금속막, 비트 라인 도전막 및 비트 라인 캡층이 순차적으로 적층된 것이 바람직하다.

<27> 상기 제2 층간 절연막을 형성하는 단계는, 상기 제1 층간 절연막 및 상기 비트 라인 스택을 덮은 제2 층간 절연막을 형성하는 단계, 및 상기 비트 라인 스택의 상부 표면이 노출되도록 상기 제2 층간 절연막을 완전 평탄화시키는 단계를 포함하는 것이 바람직하다. 이 경우 상기 평탄화는 화학 기계적 폴리싱법을 사용하여 수행할 수 있다.

<28> 상기 도전성 플러그를 형성하는 단계는, 상기 컨택 홀을 채우고 상기 비트 라인 스택을 덮는 도전성 물질을 형성하는 단계, 및 평탄화 공정을 수행하여 상기 비트 라인 스택 표면을 노출시키는 단계를 포함하는 것이 바람직하다. 이 경우 상기 평탄화 공정은 에치 백 또는 화학 기계적 폴리싱법을 사용하여 수행할 수 있다.

<29> 본 발명에 있어서, 상기 제2 컨택 홀 내에 도전성 물질을 채움으로써 상기 도전성 플러그와 컨택되는 커패시터 하부 전극을 형성하는 단계를 더 포함하는 것이 바람직하다.

<30> 또한 상기 식각 저지막은 상기 산화막과의 식각 선택비를 갖는 물질을 사용하여 형성하는 것이 바람직하며, 이 경우 상기 식각 저지막은 실리콘 질화막인 것이 바람직하다. 그리고 상기 제3 층간 절연막은 상기 식각 저지막과의 식각 선택비를 갖는 물질을 사용하여 형성하는 것이 바람직하다.

<31> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발

명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 '상'에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<32> 도 6은 본 발명에 따른 자기 정렬된 컨택 형성 방법에 따라 형성된 BC 패드 및 DC(Direct Contact) 패드를 나타내 보인 레이아웃도이며, 도 7은 본 발명에 따른 자기 정렬된 컨택 형성 방법에 따른 식각 공정을 수행하기 위하여 식각 마스크로서의 포토레지스트막 패턴을 형성한 것을 나타내는 레이아웃도이다. 그리고 도 8a 내지 도 11a는 본 발명의 제1 실시예에 따른 자기 정렬된 컨택 형성 방법을 설명하기 위하여 도 6 및 도 7의 선 II-II'을 따라 도시한 단면도들이며, 도 8b 내지 도 11b는 본 발명의 제1 실시예에 따른 자기 정렬된 컨택 형성 방법을 설명하기 위하여 도 6 및 도 7의 선 III-III'을 따라서 도시한 단면도들이다.

<33> 도 6 및 도 7에서, 참조 부호 '600'은 활성 영역과 비활성 영역을 정의하기 위한 액티브 마스크 원도우를 나타내고, 참조 부호 '610'은 게이트 스택 패턴을 형성하기 위한 게이트 마스크 원도우를 나타내고, 그리고 참조 부호 '620'은 비트 라인 패턴을 형성하기 위한 비트 라인 마스크 원도우를 나타낸다. 또한 참조 부호 '630'은 자기 정렬된 컨택 훌 형성을 위한 식각 마스크로서의 포토레지스트막 패턴을 나타낸다.

<34> 먼저 도 6과, 도 8a 및 도 8b를 참조하면, 액티브 마스크(도 6 및 도 7의 600)를 이용하여 반도체 기판(700)에 활성 영역(705)을 한정하는 아이솔레이션 영역(710)을 형성한다. 상기 아이솔레이션 영역(710)은 트렌치 형태로 형성하지만, 통상의 다른 형태, 예컨대 LOCOS(LOCal Oxidation of Silicon)를 이용하여 형성할 수도 있다. 다음에 게이트 마스크(도 6 및 도 7의 610)를 이용하여 상기 활성 영역(705) 위에 게이트 스택(610)을 형성한다. 이 게이트 스택(610)은 게이트 절연막(611), 게이트 도전막(612) 및 게이트 캡층(613)을 순차적으로 적층한 후에 패터닝함으로써 형성할 수 있다. 경우에 따라서는 게이트 저항을 감소시키기 위하여, 게이트 도전막(612)과 게이트 캡층(613) 사이에 금속 실리사이드를 형성할 수도 있다. 다음에 게이트 스택(610)의 측면을 덮은 게이트 스페이서(615)를 형성한다. 상기 게이트 스페이서(615)와 게이트 캡층(613)은, 절연막으로 사용되는 실리콘 산화막과의 선택비를 갖는 실리콘 질화막을 사용하여 형성한다.

<35> 상기 게이트 스페이서(615)를 형성한 후에는 통상의 리소그라피법을 이용한 노광 및 현상을 수행하여 포토레지스트막 패턴(미도시)을 형성한다. 이어서 상기 포토레지스트막 패턴을 식각 마스크로 상기 게이트 스페이서(615) 사이의 절연막(미도시)에 대한 식각 공정을 수행하여, 게이트 스페이서(615) 사이의 반도체 기판(700)의 일부 표면을 노출시키는 컨택 홀을 형성한다. 그리고 이 컨택 홀에 도전성 물질, 예컨대 폴리실리콘 막을 채우고 예치 백 또는 화학 기계적 평탄화 공정을 수행함으로써 게이트 스택(610)에 의해 상호 분리된 도전막 패드(720)를 형성한다. 이 도전막 패드(720)는 BC 패드 또는 DC 패드로 사용된다.

<36> 상기 도전막 패드(720)를 형성한 후에는, 그 도전막 패드(220)가 완전히 덮여지도 록 제1 층간 절연막(730)을 형성한다. 이어서 비트 라인 마스크 원도우(도 7의 620)를

이용하여 상기 제1 층간 절연막(730) 위에 비트 라인 스택(740)을 형성한다. 이 비트 라인 스택(740)은 장벽 금속막(741), 비트 라인 도전막(742) 및 비트 라인 캡층(743)을 순차적으로 적층함으로써 형성할 수 있다. 다음에 통상의 스페이서 형성 방법을 사용하여 비트 라인 스택(740)의 측벽에 비트 라인 스페이서(750)를 형성한다.

<37> 다음에 도 9a 및 도 9b를 참조하면, 제1 층간 절연막(730)의 노출 표면, 비트 라인 스택(740) 및 비트 라인 스페이서(750)가 완전히 덮이도록 제2 층간 절연막(760)을 형성한다. 다음에 에치 백을 이용한 식각 공정 또는 화학 기계적 폴리싱을 이용한 평탄화 공정을 수행하여 제2 층간 절연막(760)을 평탄화한다. 화학 기계적 폴리싱을 이용한 평탄화 공정을 수행하는 경우 비트 라인 캡층(743)의 상부 표면이 노출되도록 완전 평탄화를 수행한다. 이와 같이 완전 평탄화를 수행하는 이유는 후속 공정에서의 제2 층간 절연막(760)의 두께 변화를 최소화하기 위한 것이다.

<38> 이어서 제2 층간 절연막(760) 및 비트 라인 캡층(743)의 표면 위에 포토레지스트막을 형성한다. 그리고 이 포토레지스트막을 패터닝하여 포토레지스트막 패턴(630)을 형성한다. 이 포토레지스트막 패턴(630)은, 도 7에 잘 나타나 있는 바와 같이, 스트라이프 형태로 형성된다. 즉 상기 포토레지스트막 패턴(630)은 게이트 스택(610)과 일부 중첩되면서 나란하게 스트라이프 형태로 형성된다. 즉 상기 포토레지스트막 패턴(630)은 게이트 스택(610)의 한쪽 측면 위의 절연막들과 DC 패드로서 작용하는 도전막 패드(720) 위의 절연막들을 덮는 반면에, BC 패드로서 작용하는 도전막 패드(720) 위의 절연막들과 비트 라인 스택(740)을 노출시킨다. 따라서 도 7의 선 II-II'를 따라 절단한 단면도인 도 9a에서는 포토레지스트막 패턴이 나타나지 않지만, 도 7의 선 III-III'을 따라 절단한 단면도인 도 9b에서는 포토레지스트막 패턴(630)이 형성되어 있는 것이 나타난다. 이와 같이 포토레지스트막 패턴(630)을

스트라이프 형태로 형성함으로써 포토레지스트막 패턴(630) 형성을 위한 리소그래피 공정에서의 충분한 정렬 마진을 용이하게 확보할 수 있다.

<39> 다음에 도 10a 및 도 10b를 참조하면, 상기 포토레지스트막 패턴(630)을 식각 마스크로 하여 제2 층간 절연막(760) 및 제1 층간 절연막(730)을 순차적으로 식각한다. 이 식각 과정에서 이미 노출된 상태의 비트 라인 스택(740)과 식각이 이루어지면서 노출되는 비트 라인 스페이서(750)도 포토레지스트막 패턴(630)과 함께 식각 마스크로서 작용 한다. 상기 식각 공정에서 식각 마스크로 사용되는 포토레지스트막 패턴(630)이 게이트 스택(610)과 나란하면서 비트 라인 스택(740)과는 교차하는 스트라이프 형태로 형성되므로, 종래의 컨택 형태의 경우보다 보다 넓은 노출 면적을 확보할 수 있으며, 이에 따라 폴리머에 의한 식각 정지 현상이 억제된다. 따라서 사용되는 식각 가스로서 비트 라인 캡층(743) 혹은 비트 라인 스페이서(750)에 대해 보다 높은 선택비를 갖는 가스를 사용할 수 있으며, 이에 따라 식각이 종료된 후에 비트 라인 캡층(743) 혹은 비트 라인 스페이서(750)가 식각되어 비트 라인 도전막(742)이 노출되는 현상이 억제된다. 상기 식각이 이루어지면 BC 패드로서 작용하는 도전막 패드(720)의 상부 표면을 노출시키는 컨택 홀(770)이 형성된다.

<40> 다음에 도 11a 및 도 11b를 참조하면, 상기 컨택 홀(770) 내에 폴리실리콘막을 사용하여 도전성 플러그(780)를 형성한다. 이를 위하여 도 10a 및 10b의 결과물 전면에 폴리실리콘막을 형성한다. 그리고 에치 백 공정을 수행하여 비트 라인 스택(740)의 비트 라인 캡층(743) 표면을 노출시킨다. 즉 비트 라인 스택(740)에 의해 상호 분리된 도전성 플러그(780)를 형성한다. 경우에 따라서는 에치 백 공정 대신에 화학 기계적 평탄화 공정을 사용할 수도 있다.

<41> 도 12a 내지 도 14a는 본 발명의 바람직한 실시예에 따른 자기 정렬된 컨택 형성 방법을 이용한 반도체 소자의 제조 방법을 설명하기 위하여 도 7의 선 II-II'을 따라 도 시한 단면도들이다. 그리고 도 12b 내지 도 14b는 본 발명의 바람직한 실시예에 따른 자기 정렬된 컨택 형성 방법을 이용한 반도체 소자의 제조 방법을 설명하기 위하여 도 7 의 선 III-III'을 따라서 도시한 단면도들이다.

<42> 먼저 도 12a 및 도 12b를 참조하면, 도 8a 내지 도 11a와 도 8b 내기 도 11b를 참조하여 설명한 바와 같이, 자기 정렬된 컨택인 도전막 패드(720) 및 도전성 플러그(780)를 형성한다. 다음에 비트 라인 스택(740), 제2 층간 절연막(760) 및 도전성 플러그(780)의 표면 위에 제2 층간 절연막(790)을 형성한다. 이 제2 층간 절연막(790)은 실리콘 산화막을 사용하여 형성할 수 있다. 이어서 제2 층간 절연막(790) 위에 식각 저지막(800)을 형성한다. 이 식각 저지막(800)은 비트 라인 스페이서(750)와 마찬가지로 실리콘 질화막을 사용하여 형성할 수 있다. 실리콘 질화막과 실리콘 산화막은 식각 선택비가 존재하므로 후속 공정인 식각 저지막(800) 제거 공정시에 제2 층간 절연막(790)에 의해 비트 라인 스페이서(750)가 보호된다. 상기 식각 저지막(800)을 형성한 다음에는 그 위에 제3 층간 절연막(810)을 형성한다. 이 제3 층간 절연막(810)은 상기 식각 저지막(800)과 식각 선택비를 가지는 물질로 형성한다. 예컨대 상기 식각 저지막(800)이 실리콘 질화막으로 형성된 경우, 상기 제3 층간 절연막(810)은 실리콘 산화막으로 형성한다. 다음에 상기 제3 층간 절연막(810) 위에 하드 마스크막(820)과 반사 방지 막(830)을 순차적으로 형성한다. 그리고 반사 방지막(830) 위에 포토레지스트막 패턴(840)을 형성한다.

<43> 다음에 도 13a 및 도 13b를 참조하면, 상기 포토레지스트막 패턴(도 12a 및 도 12b

의 840)을 식각 마스크로 하여, 식각 저지막(800)의 일부 표면이 노출될 때까지 반사 방지막(830), 하드 마스크막(820) 및 제3 층간 절연막(810)을 순차적으로 식각한다. 앞서 설명한 바와 같이, 식각 저지막(800)과 제3 층간 절연막(810)은 높은 식각 선택비를 갖는 물질로 형성되어 있으므로 식각 저지막(800)의 표면이 노출됨에 따라 상기 식각은 종료된다. 식각이 이루어진 후에는 상기 포토레지스트막 패턴(840)을 제거한다.

<44> 다음에 도 14a 및 도 14b를 참조하면, 노출 상태의 식각 방지막(도 13a 및 도 13b의 800)과 반사 방지막(도 13a 및 도 13b의 830)을 제거하여 제2 층간 절연막(790)의 일부 표면 및 하드 마스크(820)의 일부 표면을 각각 노출시킨다. 다음에 상기 하드 마스크(820)를 식각 마스크로 제2 층간 절연막(790)의 노출면을 제거하기 위한 식각 공정을 수행하여 도전성 플러그(780) 표면을 노출시키는 컨택 홀(840)을 완성시킨다.

<45> 다음에 이 컨택 홀(840) 내에 도전성 막질을 채움으로써 도전막 패드(720) 및 도전성 플러그(780)를 통해 활성 영역(705)과 연결되는 커패시터 하부 전극을 형성할 수 있다.

【발명의 효과】

<46> 이상의 설명에서와 같이, 본 발명에 따른 자기 정렬된 컨택 형성 방법 및 이를 이용한 반도체 소자의 제조 방법에 의하면 다음과 같은 이점들이 있다.

<47> 첫째로, 도전성 플러그 형성을 위한 컨택 홀 형성시에 식각 마스크로 사용되는 포토레지스트막 패턴을 게이트 스택과 나란하면서 비트 라인 스택과는 교차하는 스트라이프 형태로 형성되므로 비트 라인과의 미스얼라인 마진을 거의 무한대로 유지할 수 있다. 또한 종래의 컨택 형태의 경우보다 보다 넓은 노출 면적을 확보할 수 있으며, 이에 따라

폴리머에 의한 식각 정지 현상을 억제시킬 수 있다. 따라서 사용되는 식각 가스로서 비트 라인 캡총 혹은 비트 라인 스페이서에 대해 보다 높은 선택비를 갖는 가스를 사용 할 수 있으며, 그 결과 식각이 종료된 후에 비트 라인 캡총 혹은 비트 라인 스페이서가 식각되어 비트 라인 도전막이 노출되는 현상이 억제된다.

<48> 둘째로, 제2 충간 절연막에 대해 완전 평탄화를 수행하여 비트 라인 스택의 표면을 노출시킴으로써 후속 공정에서의 제2 충간 절연막의 두께 변화를 최소화시킬 수 있다.

<49> 셋째로, 도전성 플러그 형성용 도전막을 형성하고 난 후에 상호 분리된 도전성 플러그를 형성하기 위하여 평탄화 공정을 수행하는 경우, 화학 기계적 평탄화 공정 대신에 상대적으로 경제적이고 공정이 간단한 에치 백 공정을 사용하여도 상호 분리된 도전성 플러그를 형성할 수 있다.

<50> 그리고 넷째로, 도전성 플러그를 형성한 후에 일정 두께의 절연막을 추가적으로 형성함으로써 커패시터 하부 전극 형성을 위한 컨택 홀을 용이하게 형성할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 위에 스트라이프 형태의 게이트 스택을 형성하는 단계;

상기 게이트 스택의 측면에 게이트 스페이서를 형성하는 단계;

상기 게이트 스페이서 사이에 매몰 컨택 패드로서의 도전막 패드를 형성하는 단계;

상기 도전막 패드 및 게이트 스택 위에 제1 충간 절연막을 형성하는 단계;

상기 제1 충간 절연막 위에서 상기 게이트 스택과 교차되는 스트라이프 형태의 비트 라인 스택을 형성하는 단계;

상기 비트 라인 스택 측면에 비트 라인 스페이서를 형성하는 단계;

상기 비트 라인 스택 표면이 노출되도록 상기 제1 충간 절연막 위에 제2 충간 절연막을 형성하는 단계;

상기 제2 충간 절연막 위에서 상기 게이트 스택과 나란한 스트라이프 형태의 포토레지스트막 패턴을 형성하되, 상기 포토레지스트막 패턴은 상기 도전막 패드 위의 제2 충간 절연막과 상기 도전막 패드 위의 제2 충간 절연막 사이의 비트 라인 스택을 노출시키도록 하는 단계;

상기 포토레지스트막 패턴, 상기 비트 라인 스택 및 상기 비트 라인 스페이서를 식각 마스크로 상기 제2 충간 절연막 및 제1 충간 절연막을 식각하여 상기 도전막 패드를 노출시키는 컨택 홀을 형성하는 단계; 및

상기 컨택 홀 내에 도전성 물질을 채워서 상기 도전막 패드와 컨택되는 도전성 플리그를 형성하는 단계를 포함하는 것을 특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 2】

제1항에 있어서,

상기 게이트 스택은, 상기 반도체 기판 위에 게이트 절연막, 게이트 도전막 및 게이트 캡층이 순차적으로 적층된 것을 특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 3】

제1항에 있어서,

상기 비트 라인 스택은, 상기 제1 층간 절연막 위에 장벽 금속막, 비트 라인 도전막 및 비트 라인 캡층이 순차적으로 적층된 것을 특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 4】

제1항에 있어서, 상기 제2 층간 절연막을 형성하는 단계는,

상기 제1 층간 절연막 및 상기 비트 라인 스택을 덮은 제2 층간 절연막을 형성하는 단계; 및

상기 비트 라인 스택의 상부 표면이 노출되도록 상기 제2 층간 절연막을 완전 평탄화시키는 단계를 포함하는 것을 특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 5】

제4항에 있어서,

상기 평탄화는 화학 기계적 폴리싱법을 사용하여 수행하는 것을 특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 6】

제1항에 있어서, 상기 도전성 플러그를 형성하는 단계는,
상기 컨택 홀을 채우고 상기 비트 라인 스택을 덮는 도전성 물질을 형성하는
단계; 및

평탄화 공정을 수행하여 상기 비트 라인 스택 표면을 노출시키는 단계를 포함하는
것을 특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 7】

제6항에 있어서,
상기 평탄화 공정은 에치 백 또는 화학 기계적 폴리싱법을 사용하여 수행하는 것을
특징으로 하는 자기 정렬된 컨택 형성 방법.

【청구항 8】

반도체 기판 위에 스트라이프 형태의 게이트 스택을 형성하는 단계;
상기 게이트 스택의 측면에 게이트 스페이서를 형성하는 단계;
상기 게이트 스페이서 사이에 매몰 컨택 패드로서의 도전막 패드를 형성하는 단계;
상기 도전막 패드 및 게이트 스택 위에 제1 층간 절연막을 형성하는 단계;
상기 제1 층간 절연막 위에서 상기 게이트 스택과 교차되는 스트라이프 형태의 비
트 라인 스택을 형성하는 단계;
상기 비트 라인 스택 측면에 비트 라인 스페이서를 형성하는 단계;
상기 비트 라인 스택 표면이 노출되도록 상기 제1 층간 절연막 위에 제2 층간 절연
막을 형성하는 단계;

상기 제2 층간 절연막 위에서 상기 게이트 스택과 나란한 스트라이프 형태의 제1 포토레지스트막 패턴을 형성하되, 상기 제1 포토레지스트막 패턴은 상기 도전막 패드 위의 제2 층간 절연막과 상기 도전막 패드 위의 제2 층간 절연막 사이의 비트 라인 스택을 노출시키도록 하는 단계;

상기 제1 포토레지스트막 패턴, 상기 비트 라인 스택 및 상기 비트 라인 스페이서를 식각 마스크로 상기 제2 층간 절연막 및 제1 층간 절연막을 식각하여 상기 도전막 패드를 노출시키는 제1 컨택 홀을 형성하는 단계;

상기 제1 컨택 홀 내에 도전성 물질을 채워서 상기 도전막 패드와 컨택되는 도전성 플러그를 형성하는 단계;

상기 도전성 플러그 및 비트 라인 스택 및 제2 층간 절연막 위에 제3 층간 절연막, 식각 방지막, 산화막 및 하드 마스크막을 순차적으로 형성하는 단계;

상기 하드 마스크막 위에 제2 포토레지스트막 패턴을 형성하는 단계;

상기 제2 포토레지스트막 패턴을 식각 마스크로 상기 식각 방지막이 노출되도록 상기 하드 마스크막 및 산화막을 식각하는 단계;

상기 제2 포토레지스트막 패턴을 제거하는 단계; 및
상기 하드 마스크막을 식각 마스크로 식각 방지막 및 제3 층간 절연막의 노출 부분을 순차적으로 제거하여 상기 도전성 플러그를 노출시키는 커패시터 하부 전극용 제2 컨택 홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 9】

제8항에 있어서,

상기 제2 컨택 홀 내에 도전성 물질을 채움으로써 상기 도전성 플러그와 컨택되는 커패시터 하부 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 10】

제8항에 있어서,

상기 게이트 스택은, 상기 반도체 기판 위에 게이트 절연막, 게이트 도전막 및 게이트 캡층이 순차적으로 적층된 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

제8항에 있어서,

상기 비트 라인 스택은, 상기 제1 층간 절연막 위에 장벽 금속막, 비트 라인 도전막 및 비트 라인 캡층이 순차적으로 적층된 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 12】

제8항에 있어서, 상기 제2 층간 절연막을 형성하는 단계는,

상기 제1 층간 절연막 및 상기 비트 라인 스택을 덮은 제2 층간 절연막을 형성하는 단계; 및

상기 비트 라인 스택의 상부 표면이 노출되도록 상기 제2 층간 절연막을 완전 평탄화시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 13】

제12항에 있어서,

상기 평탄화는 화학 기계적 폴리싱법을 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 14】

제8항에 있어서, 상기 도전성 플러그를 형성하는 단계는, 상기 컨택 홀을 채우고 상기 비트 라인 스택을 덮는 도전성 물질을 형성하는 단계; 및 평탄화 공정을 수행하여 상기 비트 라인 스택 표면을 노출시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 15】

제14항에 있어서, 상기 평탄화 공정은 에치 백 또는 화학 기계적 폴리싱법을 사용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 16】

제8항에 있어서, 상기 식각 저지막은 상기 산화막과의 식각 선택비를 갖는 물질을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 17】

제16항에 있어서, 상기 식각 저지막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자의 제조 방법.

1020000055483

2000/11/2

【청구항 18】

제8항에 있어서,

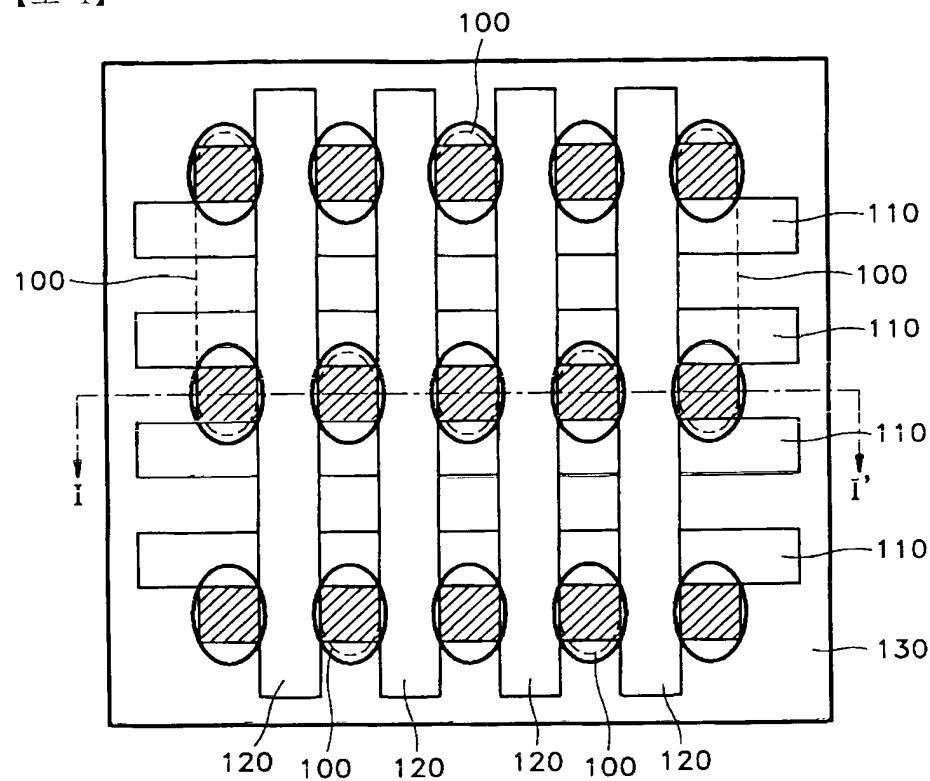
상기 제3 층간 절연막은 상기 식각 저지막과의 식각 선택비를 갖는 물질을 사용하여 형성하는 것을 특징으로하는 반도체 소자의 제조 방법.

1020000055483

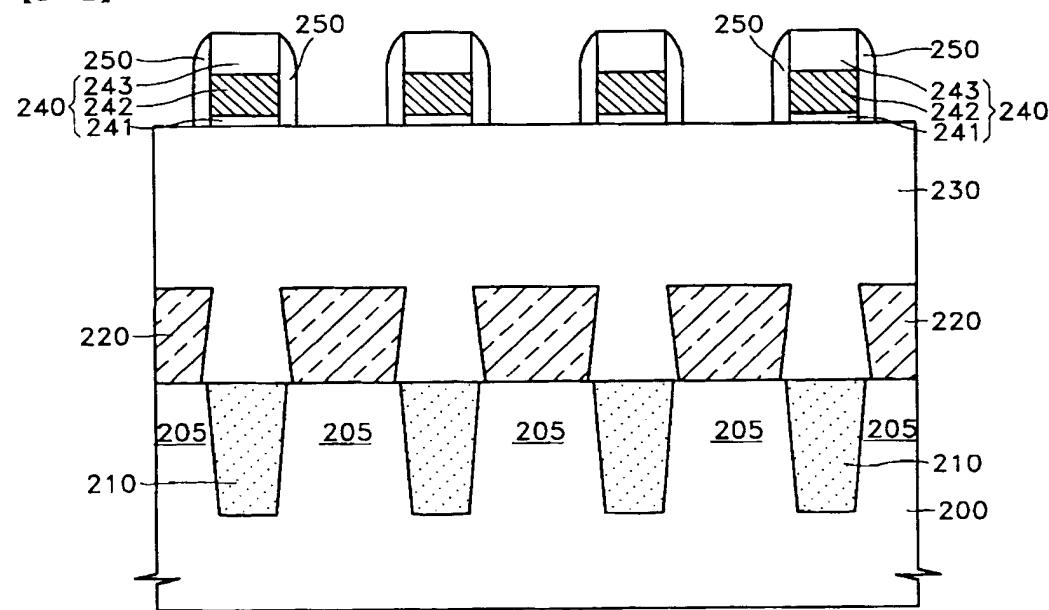
2000/11/2

【도면】

【도 1】



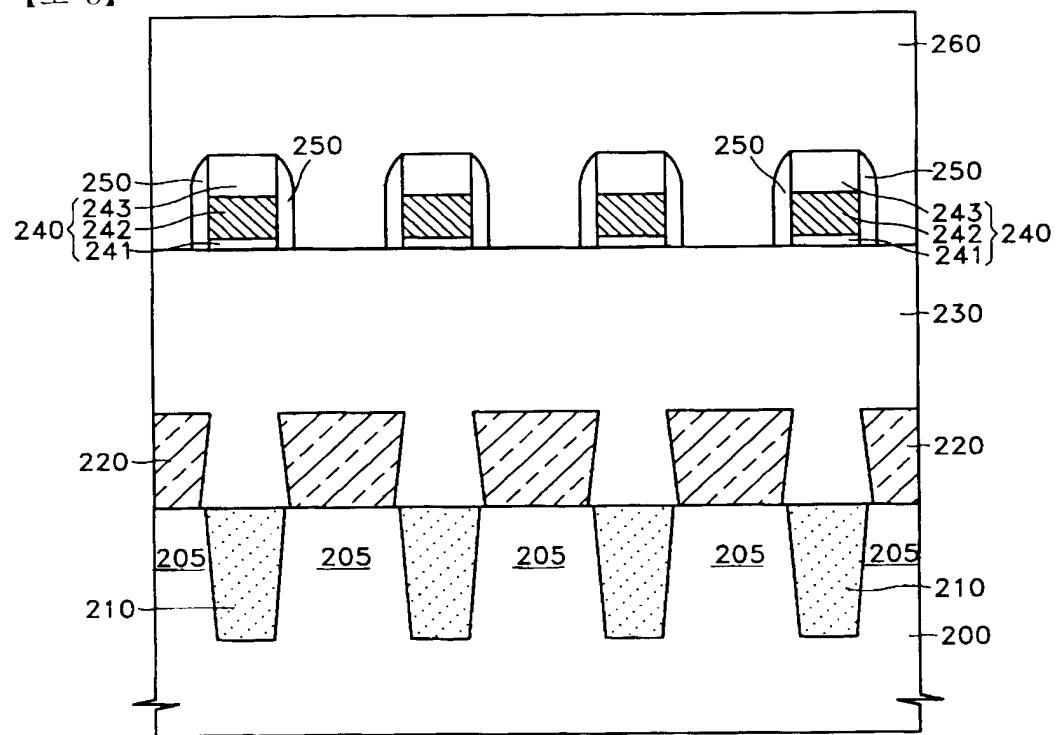
【도 2】



1020000055483

2000/11/2

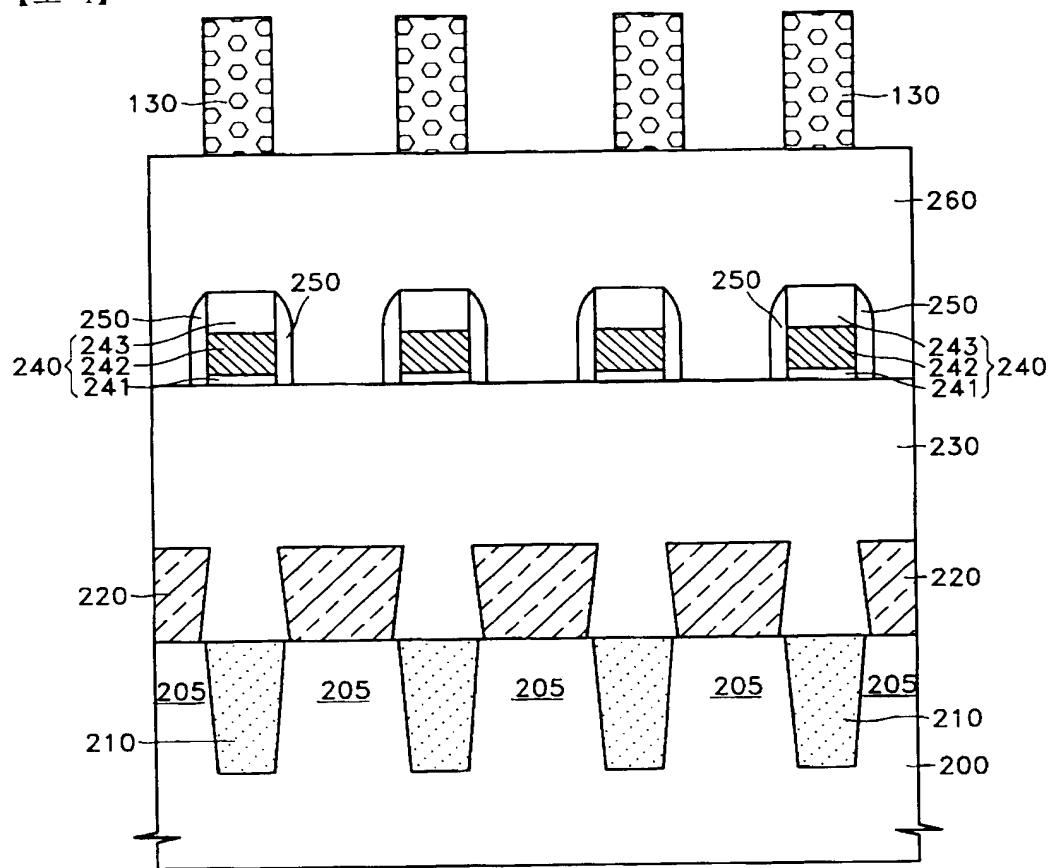
【도 3】



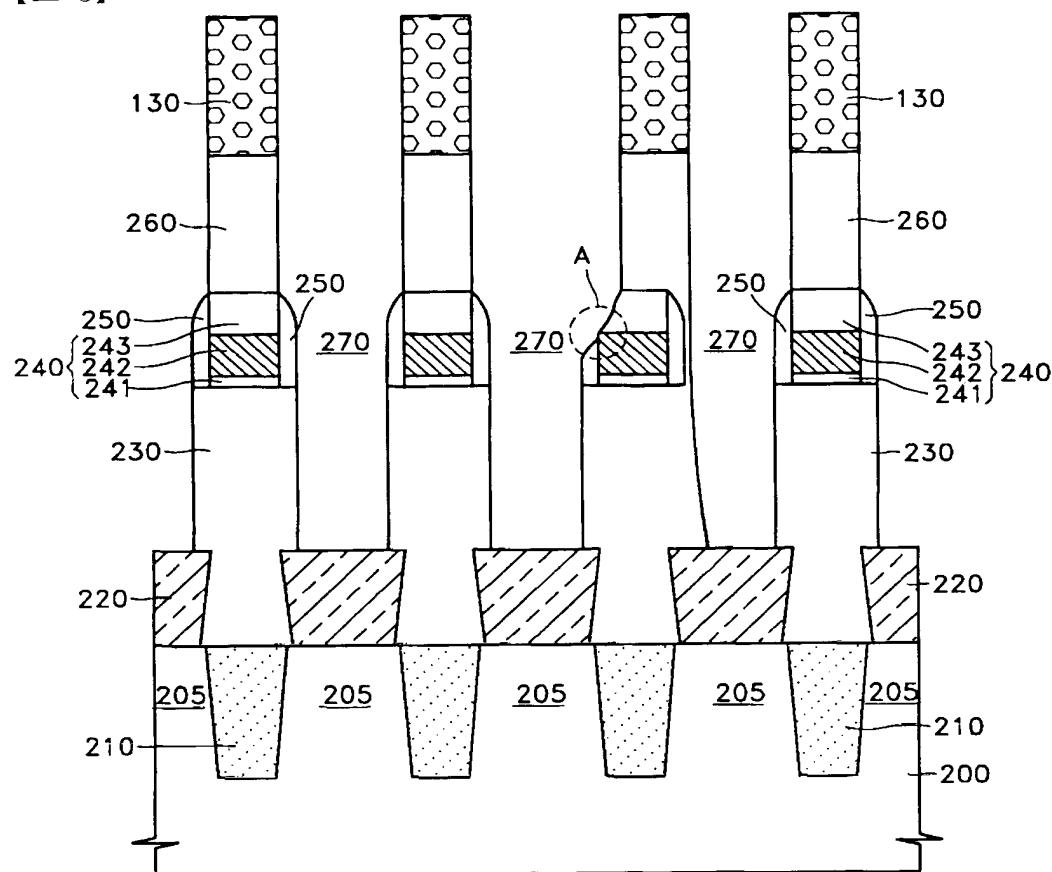
1020000055483

2000/11/2

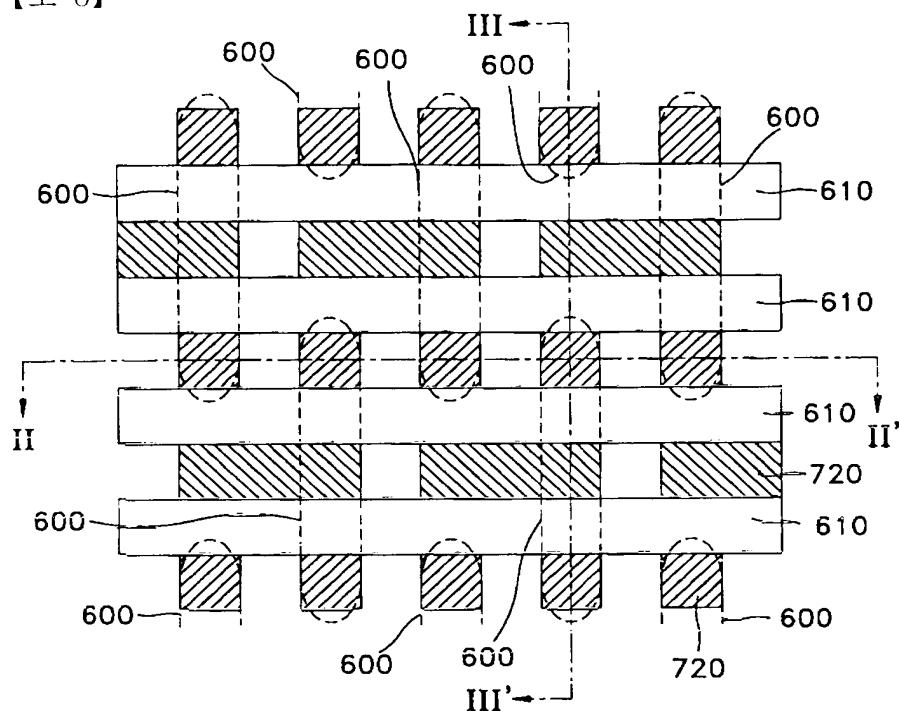
【도 4】



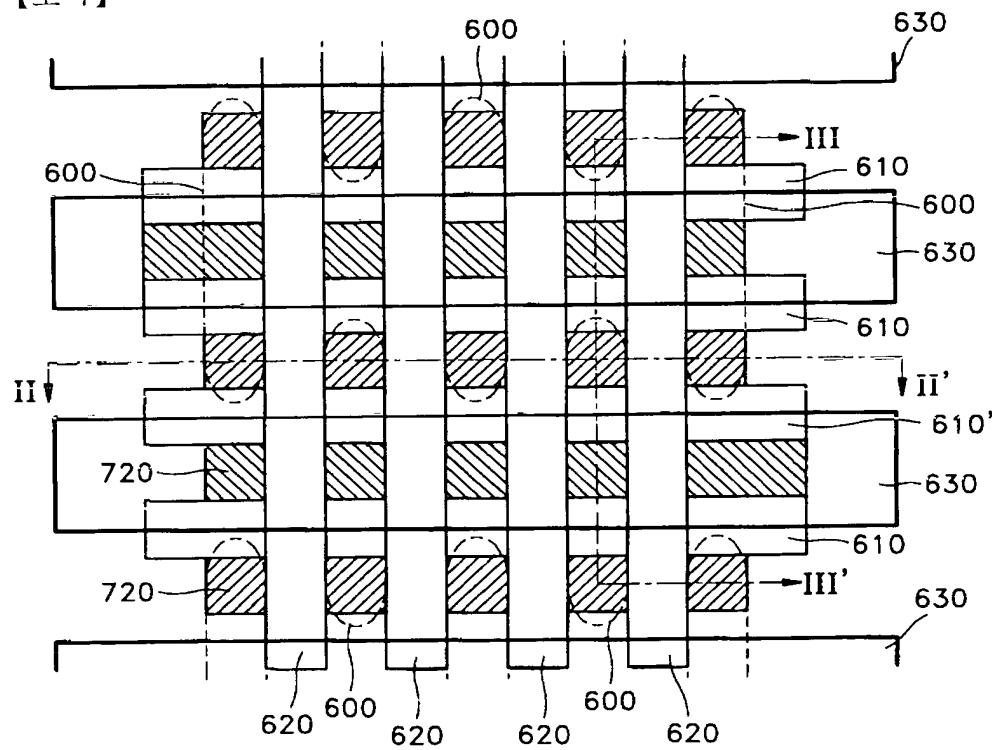
【도 5】



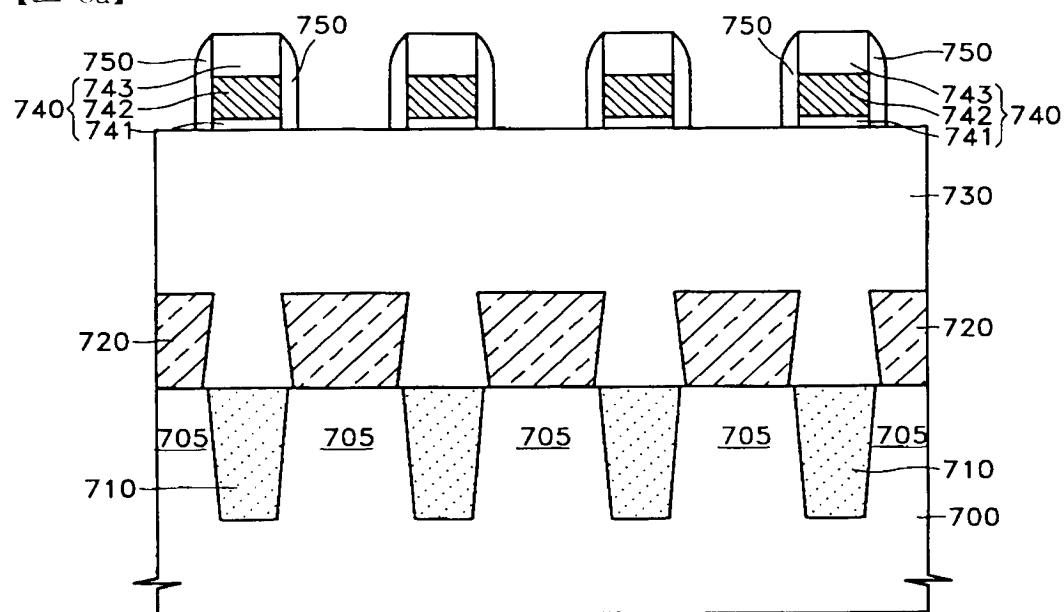
【도 6】



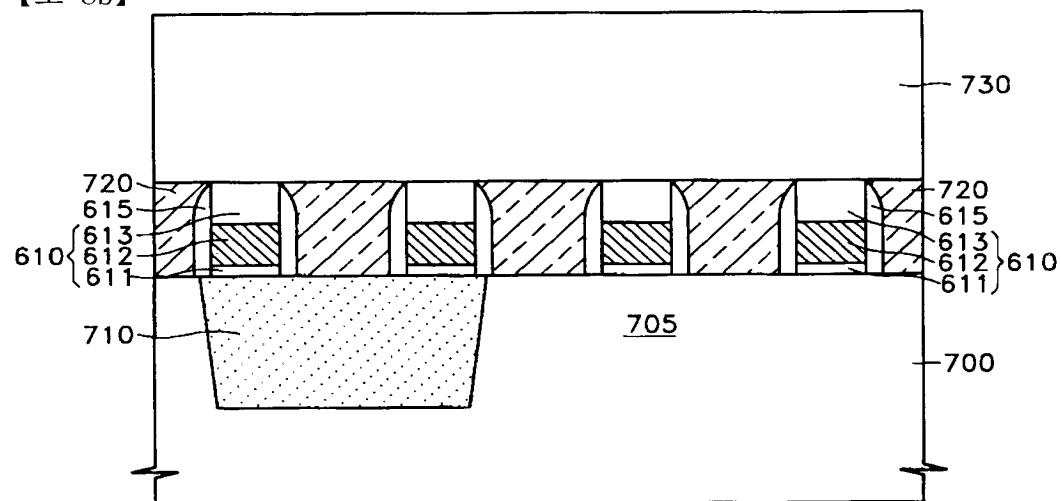
【도 7】



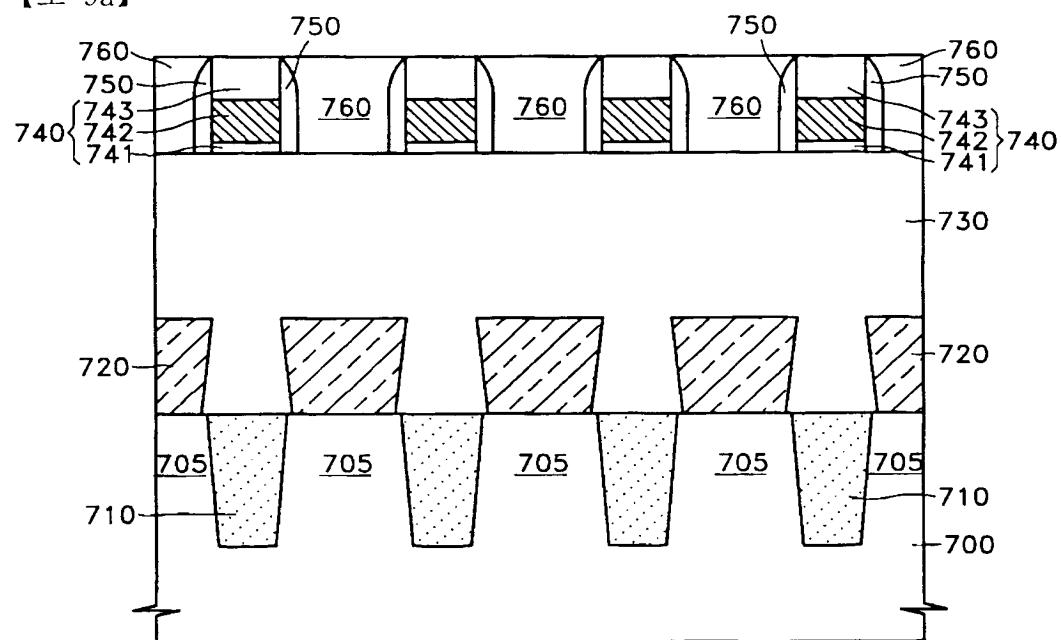
【도 8a】



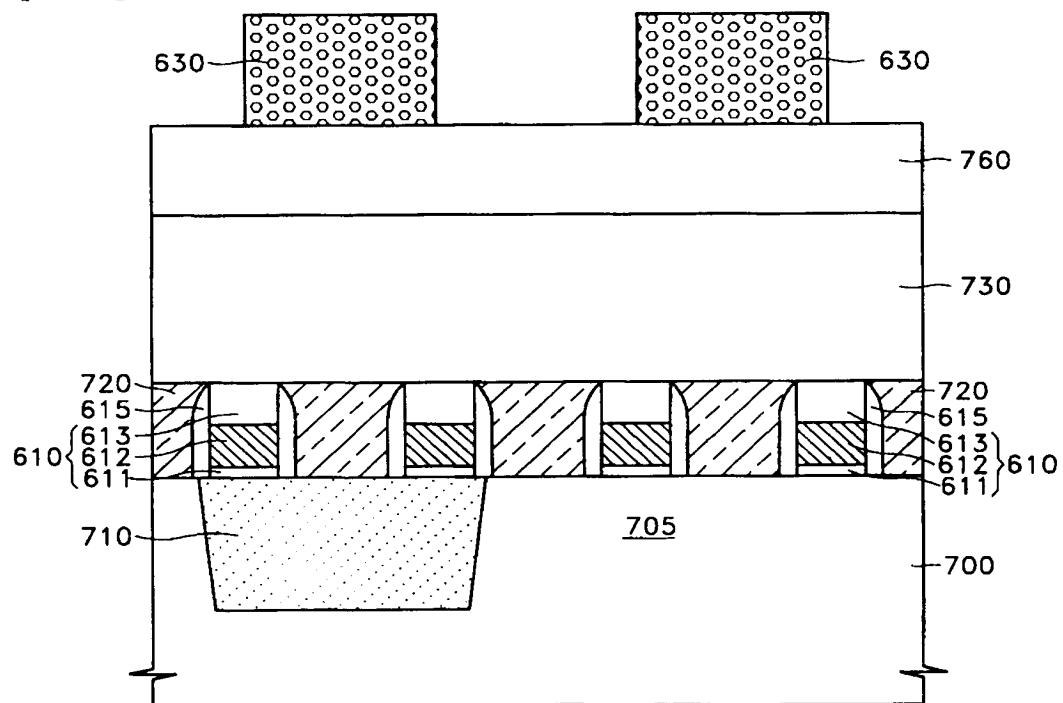
【도 8b】



【도 9a】



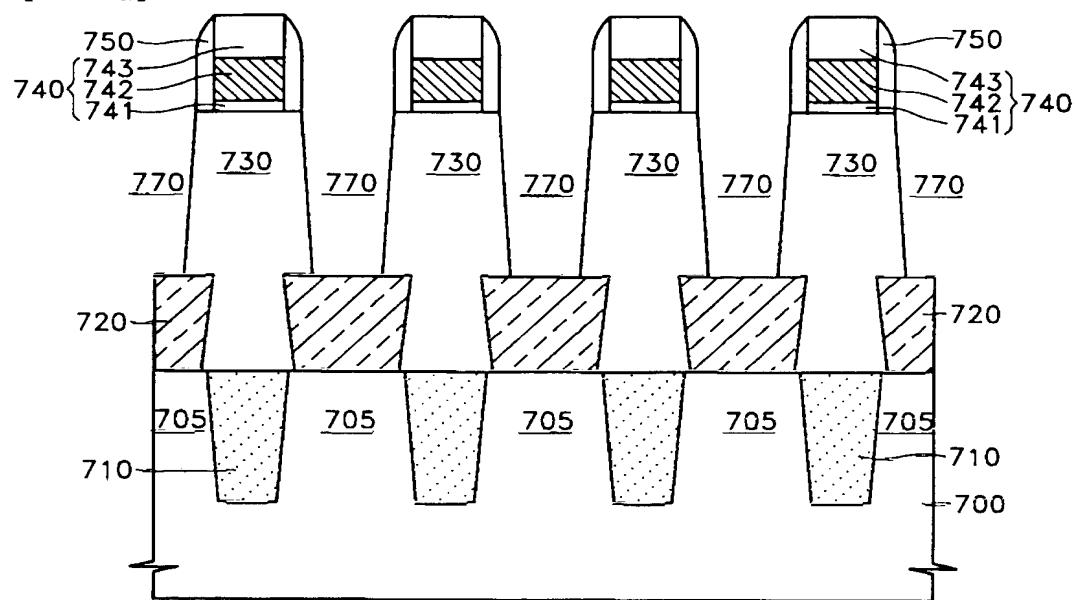
【도 9b】



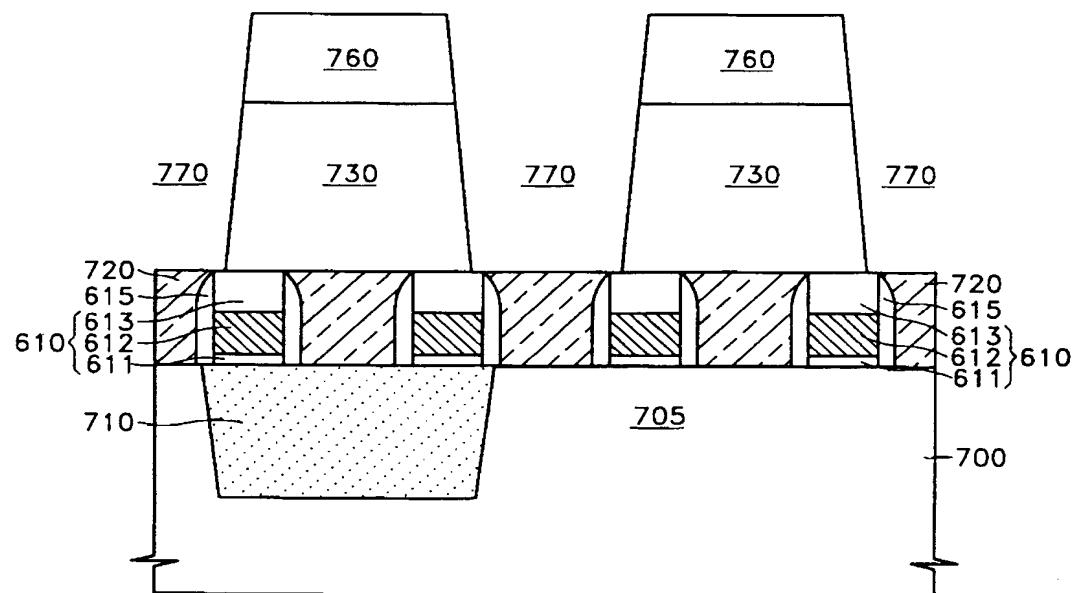
1020000055483

2000/11/2

【도 10a】



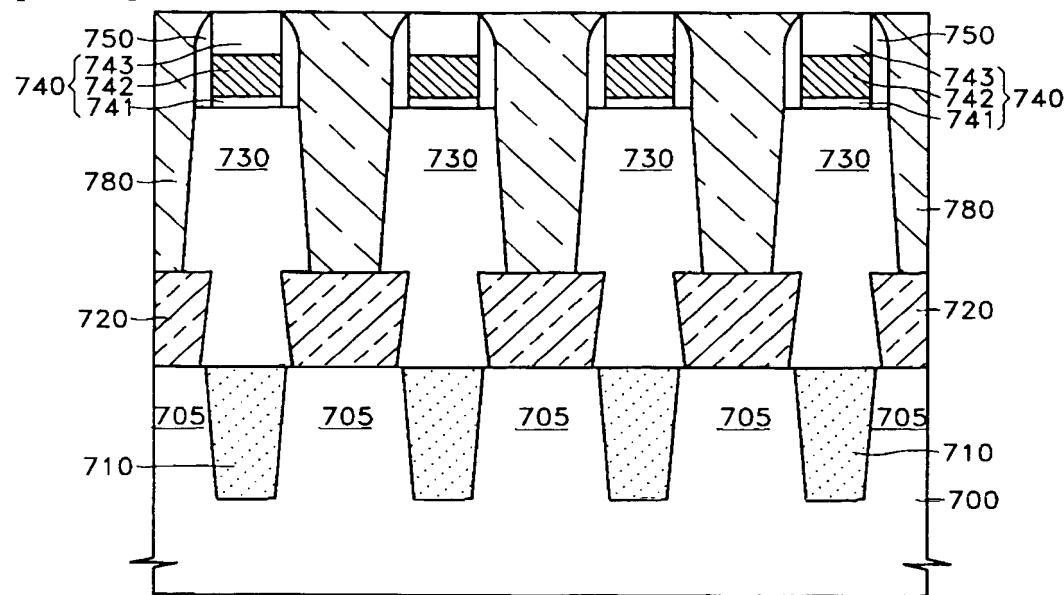
【도 10b】



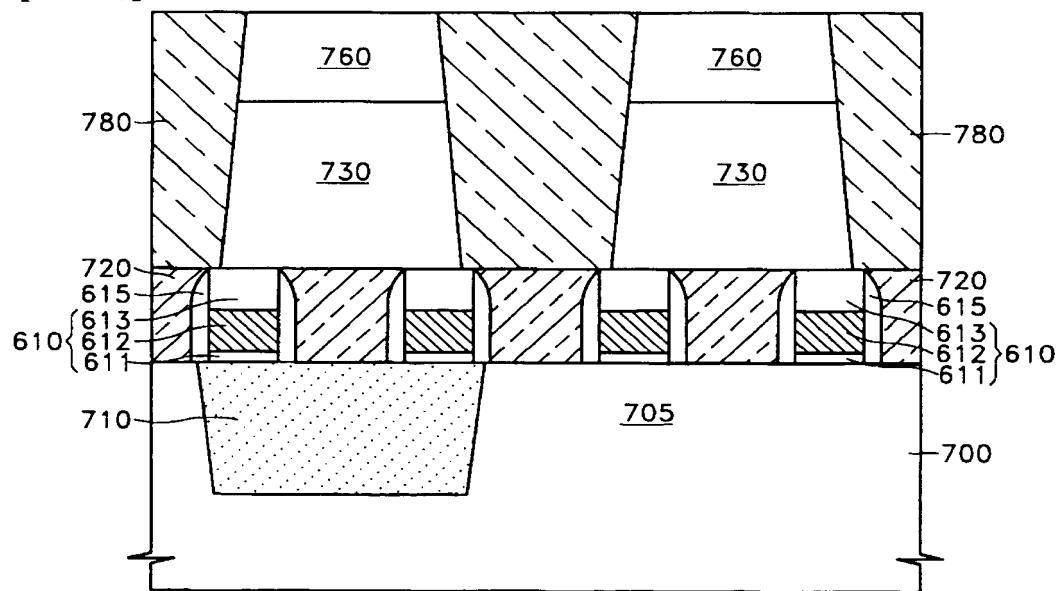
1020000055483

2000/11/2

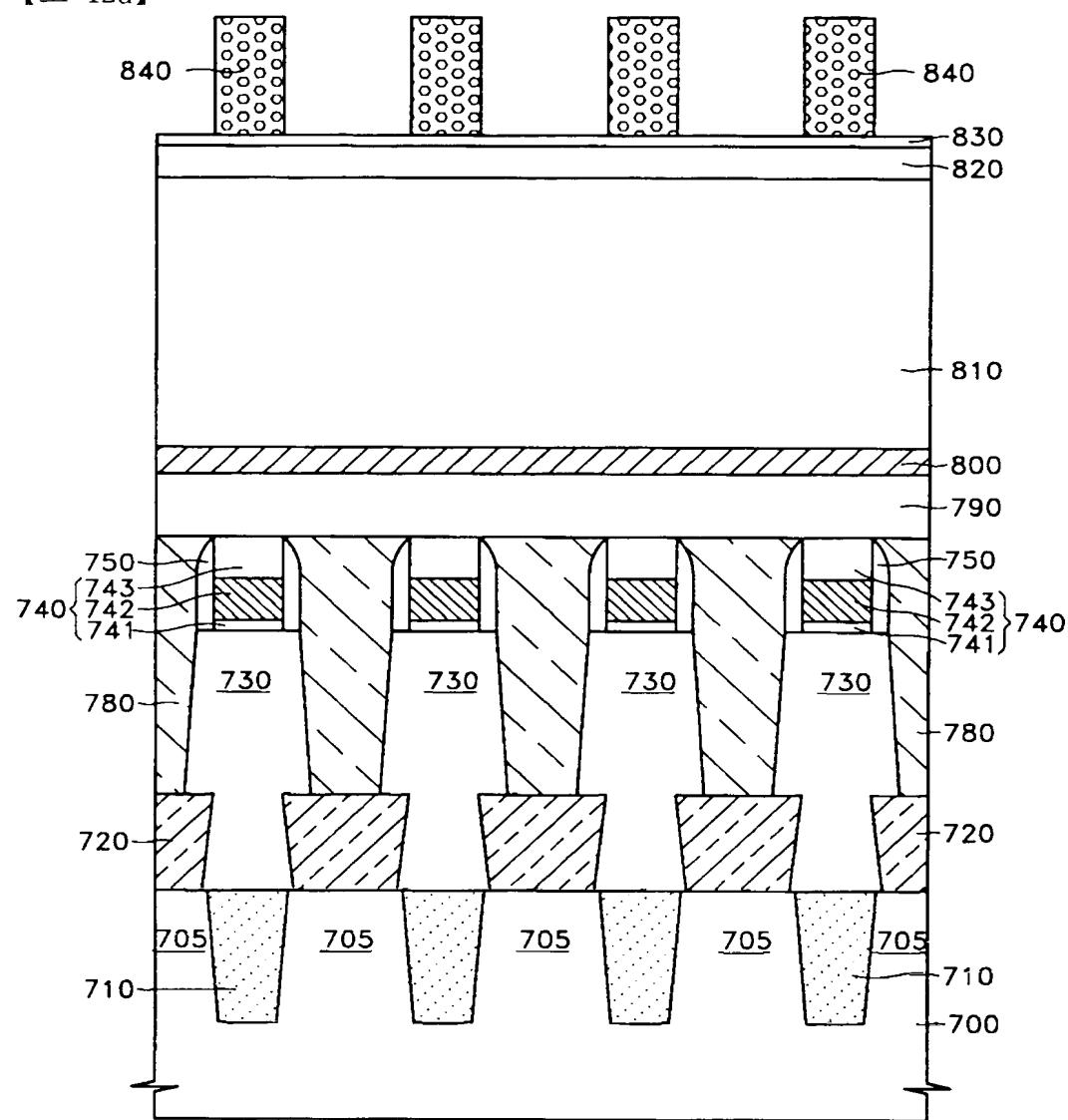
【도 11a】



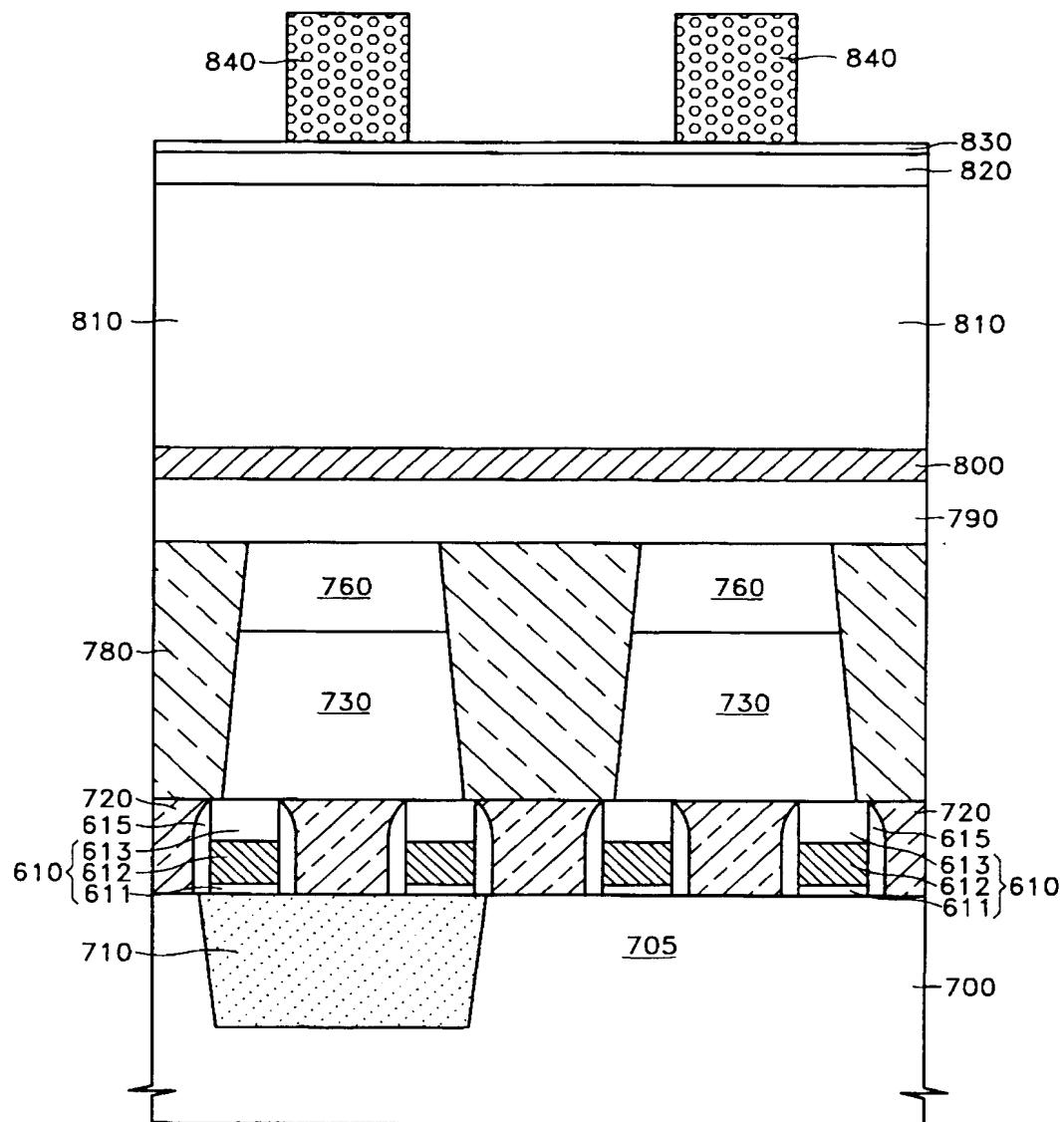
【도 11b】



【도 12a】



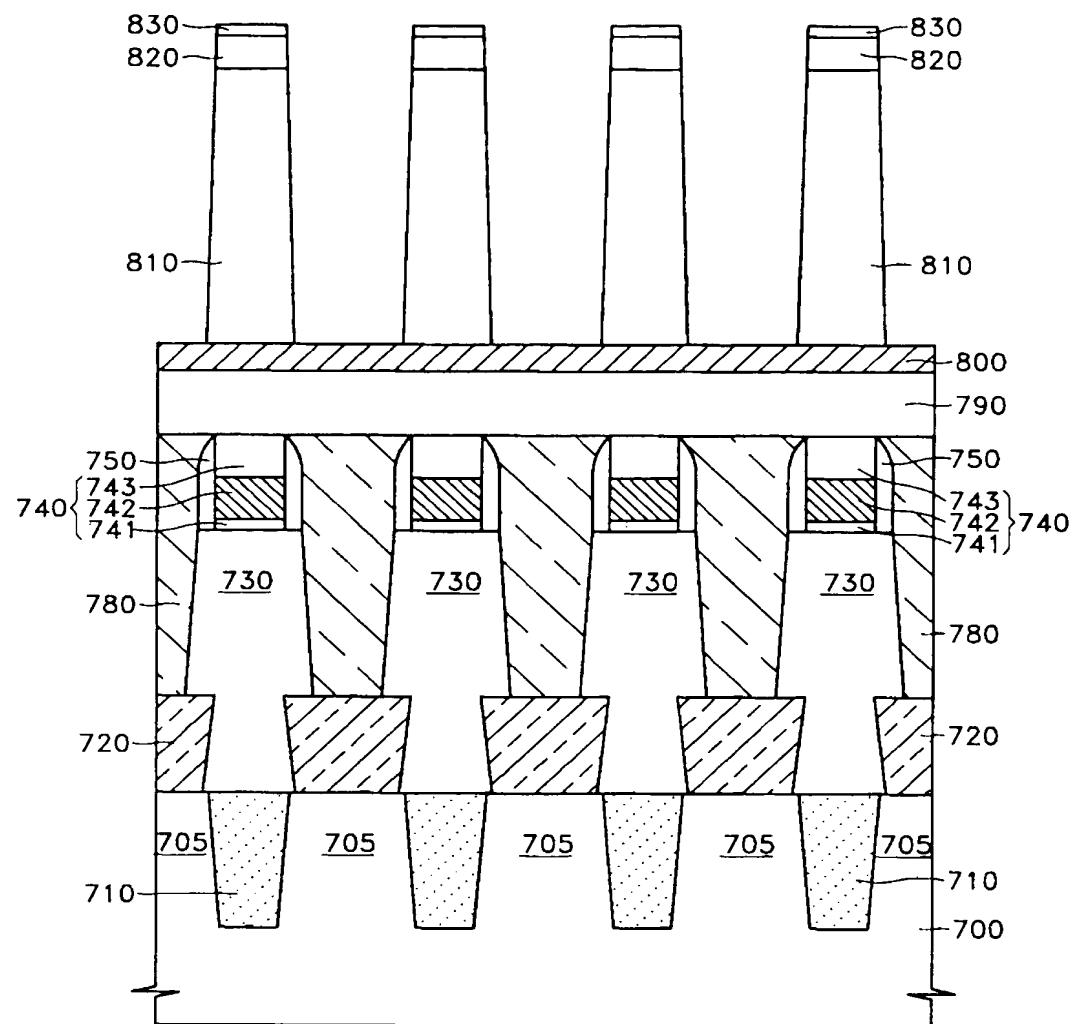
【도 12b】



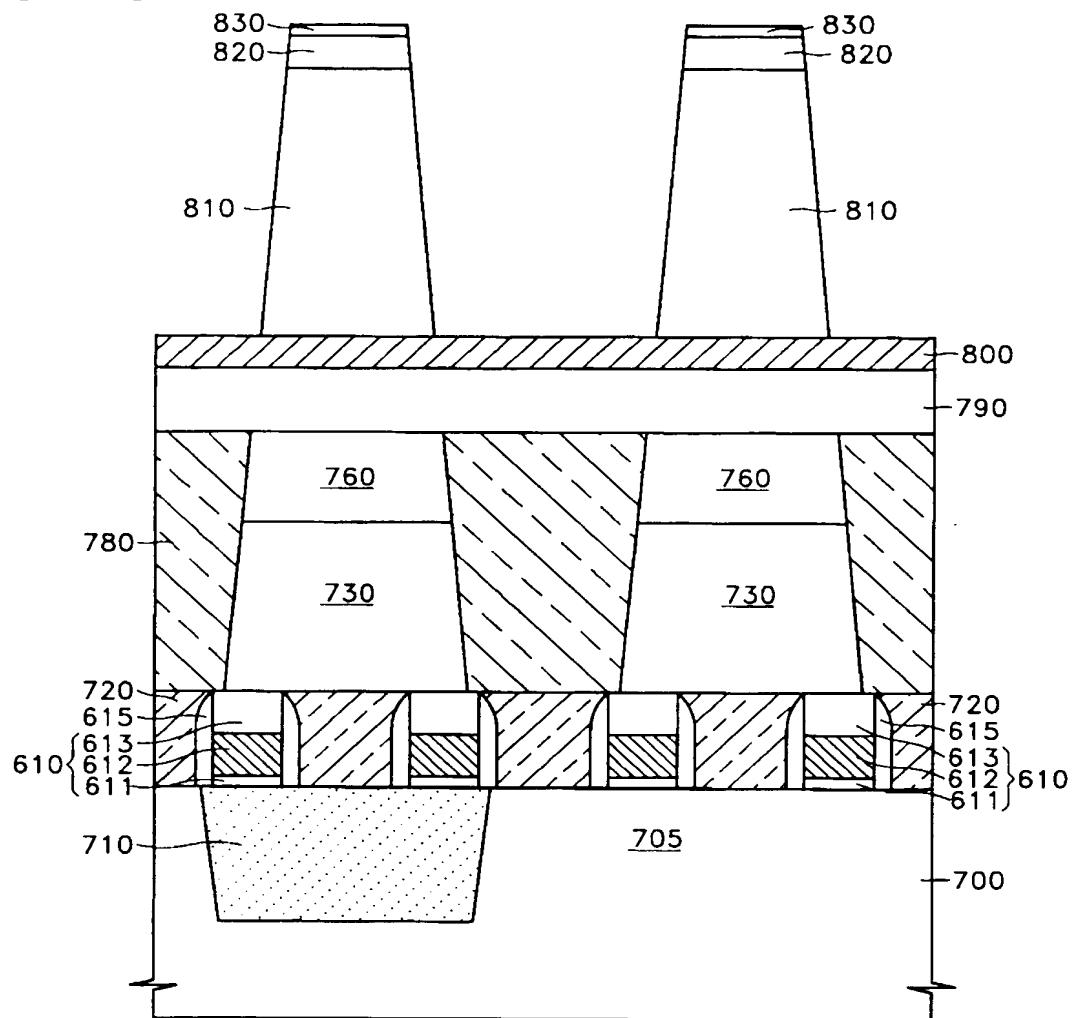
1020000055483

2000/11/2

【도 13a】



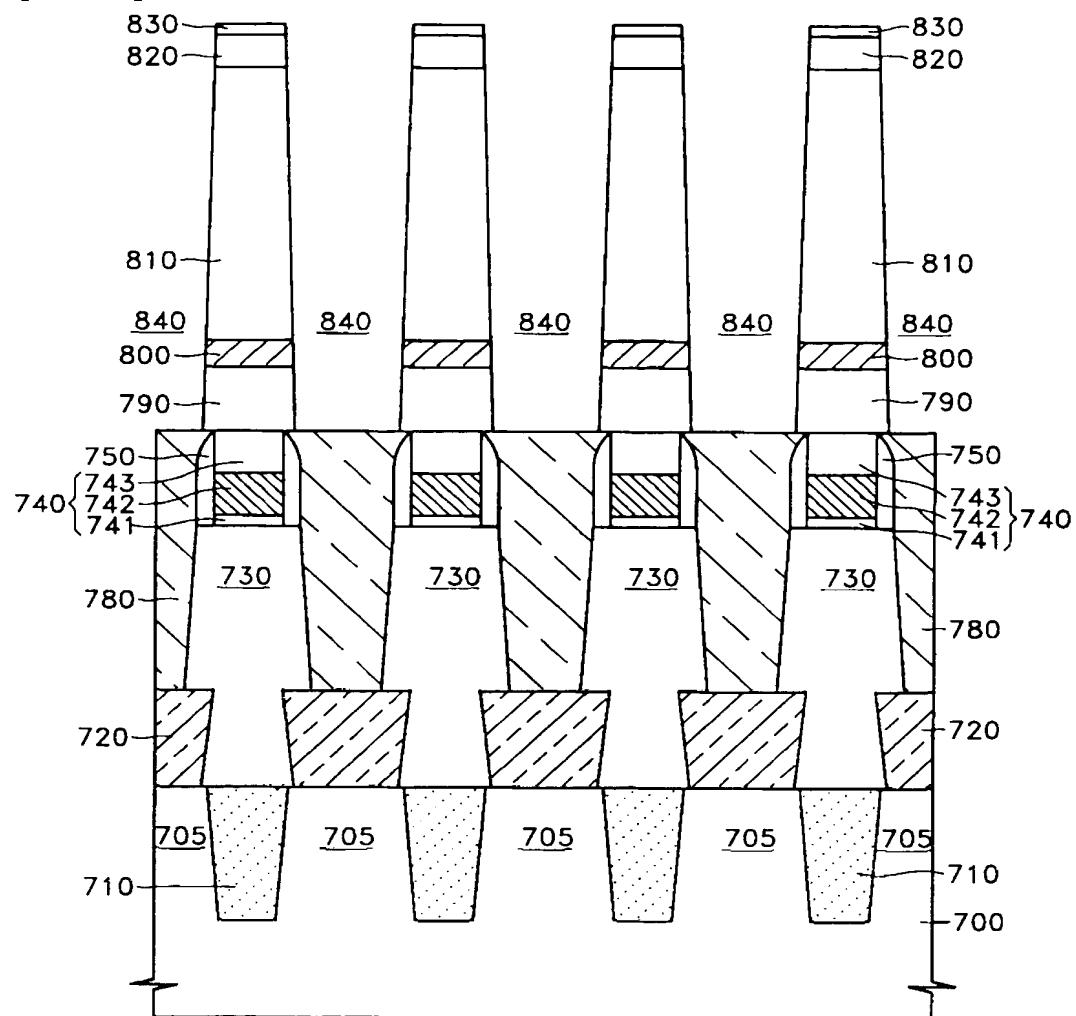
【도 13b】



1020000055483

2000/11/2

【도 14a】



1020000055483

2000/11/2

【도 14b】

